



**Europäisches
Patentamt**

**European
Patent Office**

**Office européen
des brevets**

Bescheinigung

Certificate

Attestation

078453

1081

ILchmann

Die angehefteten Unterla-
gen stimmen mit der
ursprünglich eingereichten
Fassung der auf dem näch-
sten Blatt bezeichneten
europäischen Patentanmel-
dung überein.

The attached documents
are exact copies of the
European patent application
described on the following
page, as originally filed.

Les documents fixés à
cette attestation sont
conformes à la version
initialement déposée de
la demande de brevet
européen spécifiée à la
page suivante.

Patentanmeldung Nr. Patent application No. Demande de brevet n°

02360362.4

Der Präsident des Europäischen Patentamts;
Im Auftrag

For the President of the European Patent Office

Le Président de l'Office européen des brevets
p.o.

R C van Dijk

DEN HAAG, DEN
THE HAGUE, 10/03/03
LA HAYE, LE

THIS PAGE BLANK (USPTO)



**Eur päisches
Patentamt**

**European
Patent Office**

**Office européen
des brevets**

**Blatt 2 der Bescheinigung
Sheet 2 of the certificate
Page 2 de l'attestation**

Anmeldung Nr.:
Application no.:
Demande n°: 02360362.4

Anmeldetag:
Date of filing: 18/12/02
Date de dépôt:

Anmelder:
Applicant(s):
Demandeur(s):
ALCATEL
75008 Paris
FRANCE

Bezeichnung der Erfindung:
Title of the invention:
Titre de l'invention:

Ein Konverter von ECL nach CMOS und ein Netzwerkelement zum Übertragen von Signalen

In Anspruch genommene Priorität(en) / Priority(ies) claimed / Priorité(s) revendiquée(s)

Staat:
State:
Pays:

Tag:
Date:
Date:

Aktenzeichen:
File no.
Numéro de dépôt:

Internationale Patentklassifikation:
International Patent classification:
Classification internationale des brevets:

/

Am Anmeldetag benannte Vertragsstaaten:
Contracting states designated at date of filing:
Etats contractants désignés lors du dépôt:

AT/BG/BE/CH/CY/CZ/DE/DK/EE/ES/FI/FR/GB/GR/IE/IT/LI/LU/MC/NL/

Bemerkungen:
Remarks:
Remarques:

THIS PAGE BLANK (USPTO)

Ein Konverter von ECL nach CMOS und ein Netzwerkelement zum Übertragen von Signalen

- Die Erfindung betrifft einen Konverter von ECL nach CMOS nach dem
5 Oberbegriff des Anspruchs 1 und ein Netzwerkelement zum Übertragen
von Signalen nach dem Oberbegriff des Anspruchs 5.

- Logik-Konverter werden benutzt um unterschiedliche Logik-Level
anzupassen. Ein Eingangssignal wird entsprechend der Logik-
10 Potentialdefinitionen umgesetzt. Der Konverter hat die Aufgabe die Signale
mit entsprechender Frequenz zu konvertieren. Solche Signale kommen
beispielsweise zwischen aktiven Komponenten innerhalb eines Chips oder
zwischen zwei Chips vor. Diese Komponenten können nahe beieinander
oder weit auseinander liegen. Beispielsweise können solche Komponenten
15 über einen Bus verbunden sein. Ein weiterer Anwendungsfall ist, wenn die
Komponenten in weit voneinander entfernt gelegenen Netzwerkelementen
integriert sind.

- Signalaustauschende Systeme oder im allgemeinen Telekommunikations-
20 Systeme und –Netze haben das Ziel (elektrische) Signale zuverlässig,
fehlerlos und so schnell wie möglich auszutauschen. Um dieses Ziel zu
erreichen verwendet man z.B. definierte uniforme Übertragungsraten
(Frequenzen) und definierte Amplituden.

- 25 Differenzielle Emitter Coupled Logic (ECL) Schaltkreise werden bei der
Datenübertrag wegen ihrer höheren Verarbeitungsgeschwindigkeit und
ihrer vorteilhaften Signaleigenschaften benutzt. Der differentielle Aspekt

dieser Signale mit niedrigen Spannungsniveaus führt beispielsweise zu einem guten Rauschabstand.

- Es ist technologisch möglich und wünschenswert ECL-Signale niedrigen
- 5 Niveaus in Signale höheren Niveaus, wie die der Complementary Metaloxyd Semiconductor (CMOS) Logik-Schaltkreise ohne eine bedeutenden Geschwindigkeitsverlust umzuwandeln, so dass ein solcher Konverter CMOS-Schaltungen ansteuern kann.
- 10 Bekannte Konverter von ECL nach CMOS setzen den Pegel auf Kosten von Geschwindigkeits- und/oder Treibereigenschaften um. ECL kann schneller geschaltet werden als CMOS, aber Versuche, die Konvertierung zu beschleunigen vermindern häufig die Ausgangstreibereigenschaften des Stromkreises. Die Schriften US Pat. Nr. 5,726,588 oder US Pat. Nr.
- 15 5,426,381 beschreiben Schaltungen mit diesem Nachteil.
- Das Konvertieren von ECL-Signalen in CMOS-Signale wird üblicherweise in drei Stufen durchgeführt. Eine Eingangsstufe empfängt und puffert die ECL-Signale, die mit einem Signalhub von wenigen 100mV bezogen auf die
- 20 positive Betriebsspannung anliegen. Eine Pegelwandlerstufe verschiebt die ECL-Pegel in Richtung der CMOS-Umschaltswelle und erhöht den Signalhub und eine Ausgangsstufe formt das CMOS kompatible Ausgangssignal.
- 25 Die Erfindung geht von einer Konverterschaltung aus, die den oben beschriebenen Nachteil nicht aufweist. Diese Konverterschaltung ist in dem US Patent No. 6,252,421 beschrieben und in Figur 1 dargestellt.

Diese Schaltung birgt aber die folgenden Nachteile: Als Pegelwandler wird eine bipolare Differenzstufe 20, ..., 24 verwendet, deren Ausgangssignale dann zum Ansteuern von CMOS-Invertern 25, ..., 28 und 37, ..., 40 benutzt werden. Wird diese Anordnung mit niedrigen Betriebsspannungen, z.B. unter 3 Volt, betrieben, kann der Ausgangspegel für den Low-Zustand nicht mehr den CMOS-Umschaltpegel, der üblicherweise bei der halben Betriebsspannung liegt, erreichen.

Dies ist durch die Schaltungstechnik des verwendeten Pegelwandlers 20, ..., 24 bedingt. Die Differenzstufe 20, ..., 23 erfordert eine Stromquelle 24, an der typisch 0.8V abfallen. Weiterhin fällt an den Schalttransistoren 22, 23 der Differenzstufe 20, ..., 23 eine Spannung in Höhe der Flussspannung ab. Typischerweise sind das ebenfalls etwa 0.8V. Wegen des Sättigungseffektes darf der Kollektor das Basispotential nicht unterschreiten. D.h., der Ausgangspegel für den Low-Zustand kann nicht unter 1.6V sinken. Die CMOS-Umschaltswelle muss also über 1.6V liegen und damit ergibt sich eine mögliche minimale Betriebsspannung von etwa $1.6V \cdot 2 = 3.2V$.

Durch eine unsymmetrische Dimensionierung der Inverter 25, ..., 28 und 37, ..., 40, die von der Differenzstufe 20, ..., 23 angesteuert werden, kann diese Spannung noch etwas unterschritten werden. Diese unsymmetrischen Inverter führen aber wiederum zu längeren Schaltzeiten.

Ein weiterer Nachteil der bekannten Lösungen ist auch, dass der Pegelwandler 20, ..., 24 einen relativ großen Signalhub aufweist, da die bipolare Differenzstufe 20, ..., 23 vom minimalen Pegel für den Low-Zustand auf den Pegel der Betriebsspannung für den High-Zustand umschaltet. Durch den großen Signalhub ergeben sich relativ lange Umschaltzeiten.

Der Erfindung liegt die Aufgabe zugrunde, differentielle ECL-Eingangssignale in differentielle CMOS-Signale bei niedrigen Betriebsspannungen schnell zu wandeln und dadurch Signale zwischen und
5 in Netzwerkelementen schneller und effizienter zu übertragen.

Diese Aufgabe wird erfindungsgemäß gelöst durch einen Konverter von ECL nach CMOS mit einer Eingangsstufe, einer Pegelwandlerstufe und einer Ausgangsstufe wobei die Pegelwandlerstufe eine NFET Differenzstufe
10 aufweist. Die Eingangsstufe und/oder die Pegelwandlerstufe hat vorzugsweise eine Regelung der Umschaltswelle. Und der Konverter von ECL nach CMOS umfasst vorzugsweise Mittel zur Generierung einer Referenzspannung für Stromquellentransistoren, zur Regelung der Umschaltswelle. Weiterhin weisen diese Mittel zur Regelung der
15 Umschaltswelle vorzugsweise eine Nachbildung von Teilen des Konverters zur Ermittlung der Referenzspannung auf.

Diese Aufgabe wird erfindungsgemäß gelöst durch ein Netzwerkelement zum Übertragen von Signalen, das einen Konverter von ECL nach CMOS mit einer Eingangsstufe, einer Pegelwandlerstufe und einer Ausgangsstufe
20 umfasst, wobei die Pegelwandlerstufe eine NFET Differenzstufe aufweist.

Durch eine NFET Differenzstufe werden die ECL Signale in den Bereich der CMOS Umschaltswelle gebracht. Diese Form der Ansteuerung arbeitet auch bei niedrigen Betriebsspannungen.

25

Durch die geringe Anzahl der aktiven Bauelemente wird die Laufzeit der Pegelwandlung stark reduziert. Es werden Laufzeiten unter 200ps erreicht.

Die geringe Anzahl der Bauelemente ist auch vorteilhaft, da der Flächenbedarf der Schaltung gering ist.

Insbesondere ist die Schaltung für niedrige Betriebsspannungen (z.B. 2.5V) geeignet.

Weiterhin ist vorteilhaft, dass die Pegelwandlung unempfindlich gegen Schwankungen der Temperatur, Betriebsspannung und Technologieparameter ist. Dadurch wird die Dimensionierung der einzelnen Bauelemente vereinfacht.

Im folgenden wird die Erfindung unter Zuhilfenahme der beiliegenden Zeichnungen weiter erläutert:

Figur 1 zeigt einen bekannten Konverter von ECL nach CMOS

Figur 2 zeigt einen erfindungsgemäßen Konverter von ECL nach CMOS

Figur 3 zeigt einen erfindungsgemäßen Konverter von ECL nach CMOS mit Regelung der Umschaltsschwelle

Figur 4 zeigt ein Beispiel der Pegelverläufe an einem erfindungsgemäßen Konverter von ECL nach CMOS

Anhand der Figur 2 wird zunächst die prinzipielle Funktionsweise der Schaltung eines Konverters von ECL nach CMOS erläutert.

Der Konverter von ECL nach CMOS setzt sich aus einer Eingangsstufe, einer Pegelwandlerstufe und einer Ausgangsstufe zusammen. Die Eingangsstufe

besteht aus einem Emitterfolger Q1, Q2, N3, N4. Die Pegelwandlerstufe ist eine NFET-Differenzstufe N1, N2, N5, R1, R2, R3. Die nachfolgende Ausgangsstufe setzt sich aus CMOS-Invertern P1/N6, P2/N7, P3/N8, P4/N9 zur Impulsformung zusammen.

5

Durch die Verwendung von NFETs N1 und N2 in der Differenzstufe kann der Ausgangspegel für den Low-Zustand wesentlich tiefer liegen als bei einer bipolaren Lösung, da bei FETs das Drainpotential unter dem Gatepotential liegen darf.

10

Weiterhin wird der Signalhub der Differenzstufe N1, N2, N5, R1, R2, R3 durch den Widerstand R1 verringert.

15

Die Dimensionierung dieses Pegelwandlers ist so, dass bei vorgegebenem Strom durch den Pegelwandler (durch V_{ref} bestimmt) der Pegel für den High-Zustand durch den Spannungsabfall an R1 bestimmt ist und der Pegel für den Low-Zustand durch den Spannungsabfall an R1 und R2 oder R3 bestimmt ist. Die Differenzstufe ist so ausgebildet, dass die Transistoren bei einem definiertem ECL-Eingangssignal an der Eingangsstufe entweder durchgeschaltet oder gesperrt sind.

20

In der Differenzstufe ist dann abhängig von den Gatepotentialen entweder N1 oder N2 leitend. Ist z.B. N1 (durch ein höheres Gatepotential als an N2) eingeschaltet, fließt der Strom durch R1, R2, N1 und N5. Das Drainpotential LS+ von N1 hat dann Low-Potential (Spannungsabfall an R1 und R2) und das Drainpotential LS- von N2 hat dann High-Potential (nur Spannungsabfall an R1, da durch R3 kein Strom fließt). Die durch R1 und R2/R3 eingestellten Pegel sollten symmetrisch zur Umschaltswelle der

25

angesteuerten CMOS Inverter P1/N6, P3/N8 sein um ein schnelles Umschalten zu erreichen.

- In der ECL-Technologie lassen sich kürzere Umschaltzeiten durch erhöhen der Ströme in den Differenzstufen erreichen. Dies hat den Nachteil, dass sich dadurch auch die Verlustleistung erhöht und sich das beispielsweise nachteilig auf die Integrationsdichte und Leistungsaufnahme auswirkt. Anhand der Figur 3 wird erläutert wie ein Konverter von ECL nach CMOS mit zusätzlicher Regelung der Umschaltsschwelle eine weitere Verringerung der Umschaltzeit ohne Erhöhung der Verlustleistung ermöglicht.

- Durch eine Verringerung des Signalhubs der Differenzstufe N1, N2, N5, R1, R2, R3 wird die Umschaltzeit verringert ohne die Verlustleistung zu erhöhen. Um bei einem reduzierten Signalhub eine sichere Funktion des Konverters auch bei Schwankungen von Temperatur, Betriebsspannung und Technologieparametern zu gewährleisten, wird die Referenzspannung an den Stromquellentransistoren N3, N4, N5 geregelt. Dabei wird die Umschaltsschwelle der CMOS Inverter als Regelnormal verwendet.
- Dieses Regelnormal wird von einem Operationsverstärker OpAmp mit einer künstlich erzeugten Spannung verglichen, die der Mitte des Signalhubs der Differenzstufe entspricht. Die Regelung besteht aus dem Operationsverstärker OpAmp, einer Nachbildung oder Dummy P1_D, N6_D des CMOS Inverters P3, N8 oder P1, N6 und einer Nachbildung R1_D, R2A_D, R2B_D, N5_D der Differenzstufe N1, N2, N5, R1, R2, R3. In der Nachbildung der Differenzstufe hat R1_D den gleichen Wert wie R1 und N5_D hat die gleiche Dimensionierung wie N5. Der Widerstand R2 der Differenzstufe wurde in zwei gleich große Widerstände R2A_D und R2B_D aufgeteilt. Die Spannung zwischen den Widerständen R2A_D und R2B_D

der Nachbildung R1_D, R2A_D, R2B_D, N5_D der Differenzstufe N1, N2, N5, R1, R2, R3 entspricht genau der Mitte des Signalhubs zwischen LS+ und LS-.

- 5 Die Schaltschwelle der CMOS Inverter P1, N6 oder P3, N8 wird durch einen Kurzschluss der Nachbildung P1_D, N6_D des CMOS Inverters erzeugt. Der Operationsverstärker OpAmp zieht über die Regelung des Stromes durch N5_D das künstliche Mittenpotential in der Nachbildung der Differenzstufe auf die Schaltschwelle des CMOS Inverters.
- 10 Da die Widerstände und NFETs von der Nachbildung und der Differenzstufe gleich sind, stellen sich in der originalen Differenzstufe die gleichen Pegel ein. Dadurch sind die Ausgangspegel der Differenzstufe immer auf die Schaltschwelle der CMOS Inverter zentriert.
- 15 Figur 4 zeigt die Pegelverläufe am ECL/CMOS Pegelwandler für eine Betriebsspannung von 2.5 Volt. ECL+/ECL- sind die differentiellen ECL Eingangssignale mit einem Signalhub von 200mV, LS+/LS- sind die Ausgangsspannungen des Pegelwandlers und CMOS+/CMOS- zeigt die CMOS Ausgangssignale.
- 20

Ansprüche

1. Konverter von ECL nach CMOS mit einer Eingangsstufe (Q1, Q2, N3, N4), einer Pegelwandlerstufe (N1, N2, N5, R1, R2, R3) und einer Ausgangsstufe (P1, P2, P3, P4, N6, N7, N8, N9), **dadurch gekennzeichnet, dass** die Pegelwandlerstufe (N1, N2, N5, R1, R2, R3) eine NFET Differenzstufe N1, N2 aufweist.
2. Der Konverter von ECL nach CMOS nach Anspruch 1, dadurch gekennzeichnet, dass die Eingangsstufe (Q1, Q2, N3, N4) und/oder die Pegelwandlerstufe (N1, N2, N5, R1, R2, R3) eine Regelung der Umschaltswelle hat.
3. Der Konverter von ECL nach CMOS nach Anspruch 2, dadurch gekennzeichnet, dass der Konverter Mittel zur Generierung einer Referenzspannung für Stromquellentransistoren (N3, N4, N5) umfasst, zur Regelung der Umschaltswelle.
4. Der Konverter von ECL nach CMOS nach Anspruch 3, dadurch gekennzeichnet, dass die Mittel zur Generierung einer Referenzspannung eine Nachbildung (P1_D, N6_D, OpAmp, N5_D, R1_D, R2A_D, R2B_D) von Teilen des Konverters zur Ermittlung der Referenzspannung aufweisen.
5. Ein Netzwerkelement zum Übertragen von Signalen, das einen Konverter von ECL nach CMOS mit einer Eingangsstufe (Q1, Q2, N3, N4), einer Pegelwandlerstufe (N1, N2, N5, R1, R2, R3) und einer Ausgangsstufe (P1, P2, P3, P4, N6, N7, N8, N9) umfasst, **dadurch gekennzeichnet, dass** die Pegelwandlerstufe (N1, N2, N5, R1, R2, R3) eine NFET Differenzstufe N1, N2 aufweist.

THIS PAGE BLANK (USPTO)

Zusammenfassung

Die Erfindung betrifft einen Konverter von ECL nach CMOS mit einer Eingangsstufe (Q1, Q2, N3, N4), einer Pegelwandlerstufe, (N1, N2, N5, R1, R2, R3), die eine NFET Differenzstufe (N1, N2) aufweist, und einer Ausgangsstufe (P1, P2, P3, P4, N6, N7, N8, N9), sowie ein Netzwerkelement zum Übertragen von Signalen, das einen Konverter von ECL nach CMOS mit einer Eingangsstufe (Q1, Q2, N3, N4), einer Pegelwandlerstufe (N1, N2, N5, R1, R2, R3) und einer Ausgangsstufe (P1, P2, P3, P4, N6, N7, N8, N9) umfasst, wobei die Pegelwandlerstufe (N1, N2, N5, R1, R2, R3) eine NFET Differenzstufe (N1, N2) aufweist.

(Figur 3)

THIS PAGE BLANK (USPTO)

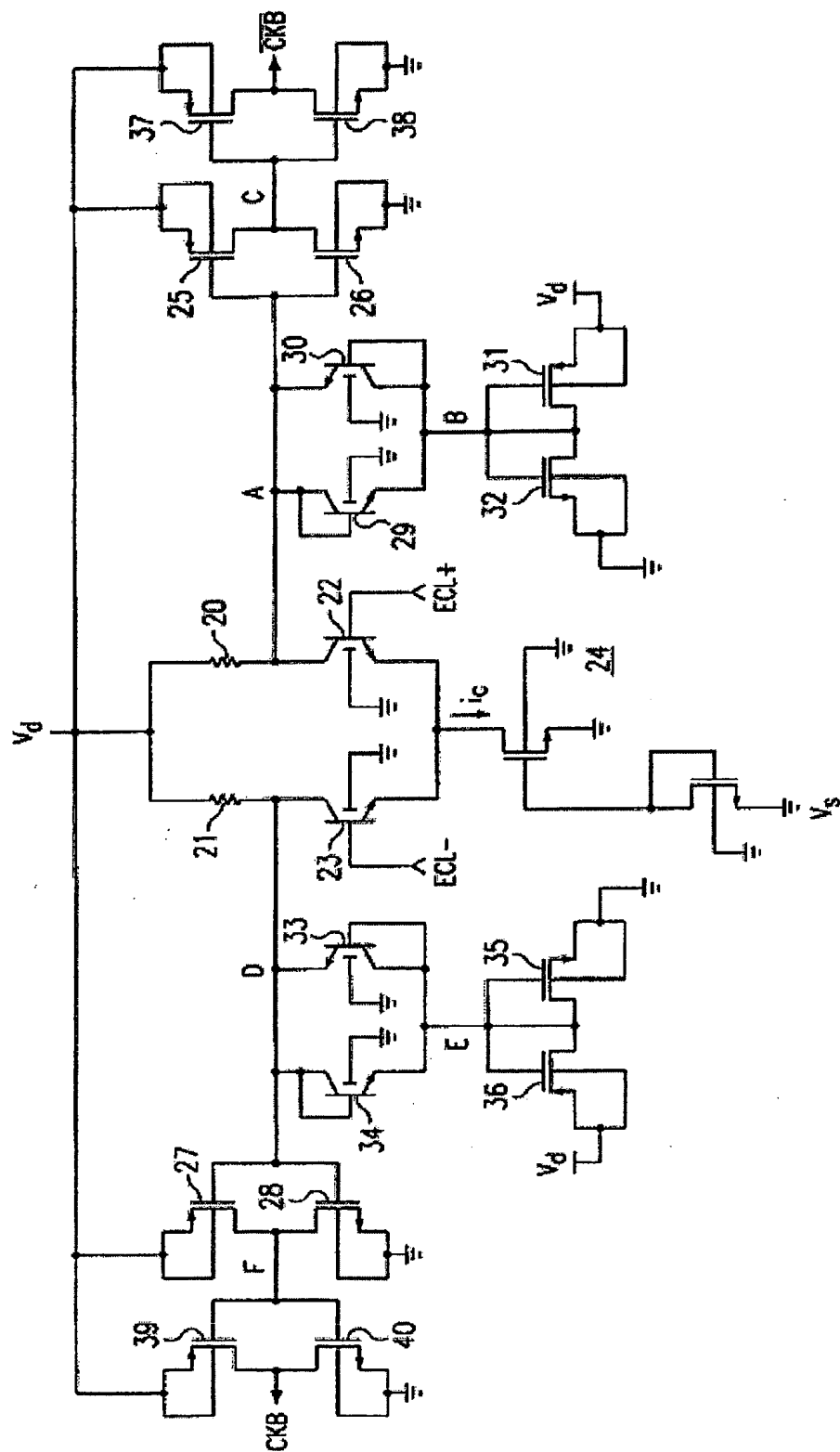
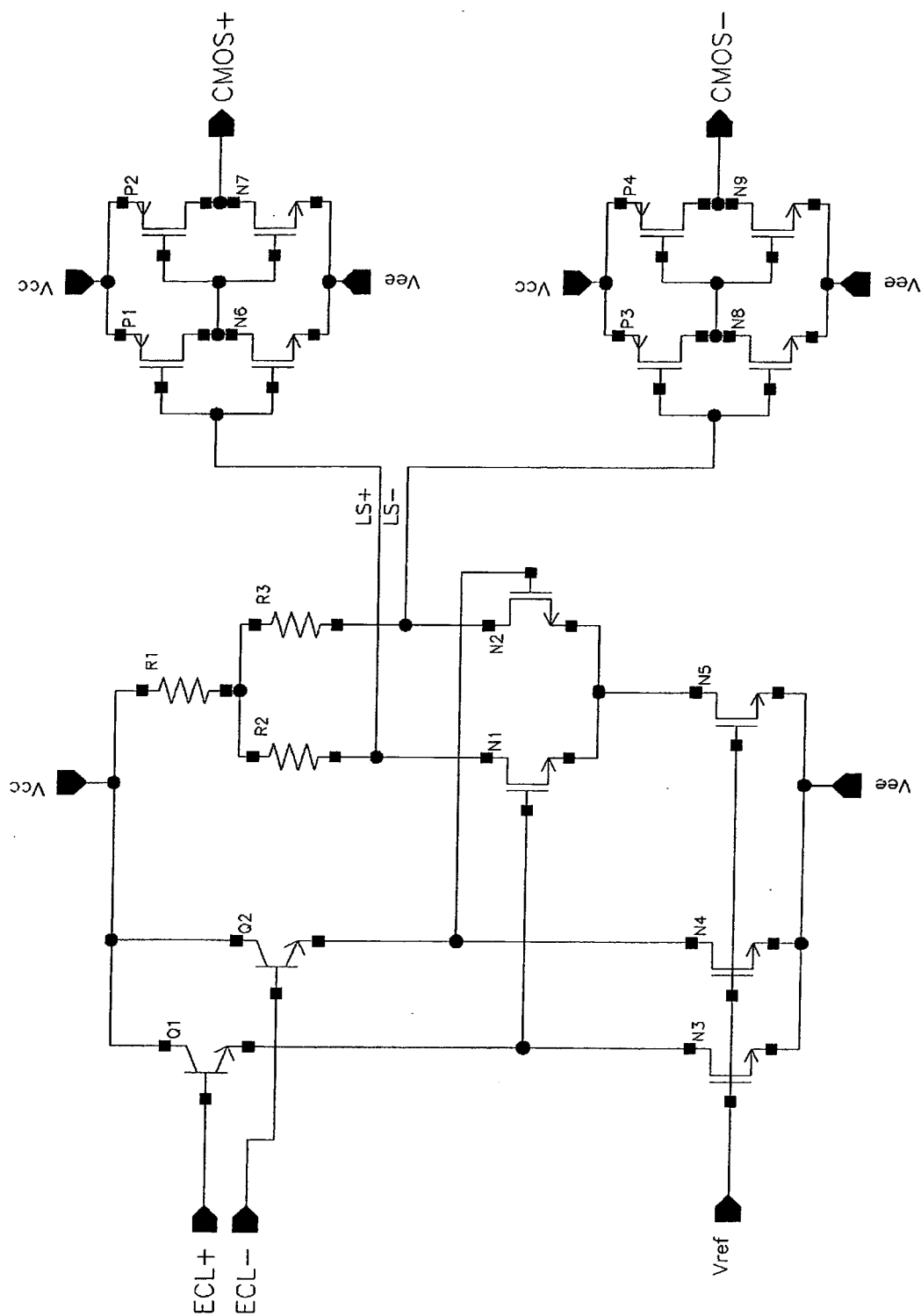
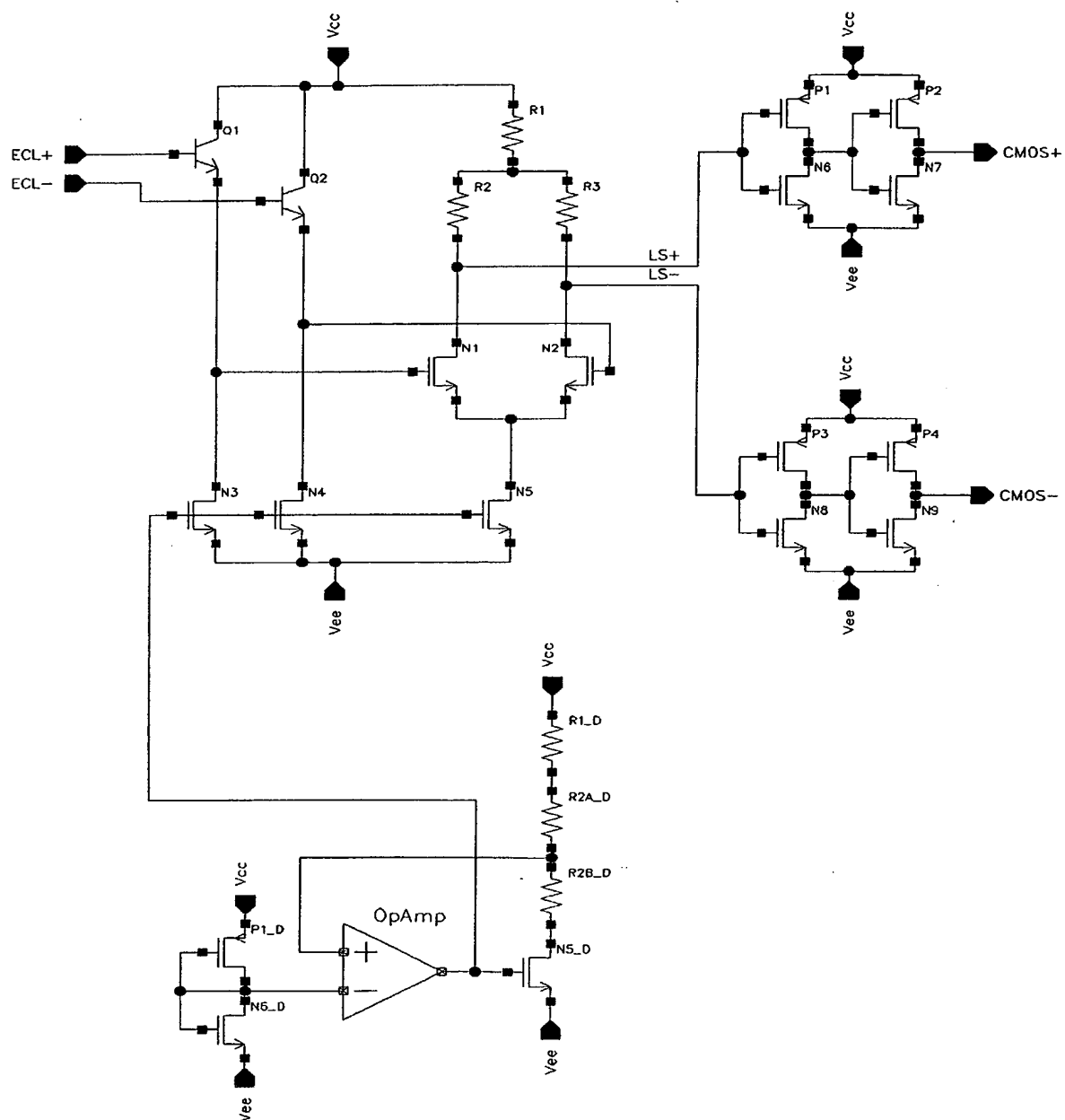


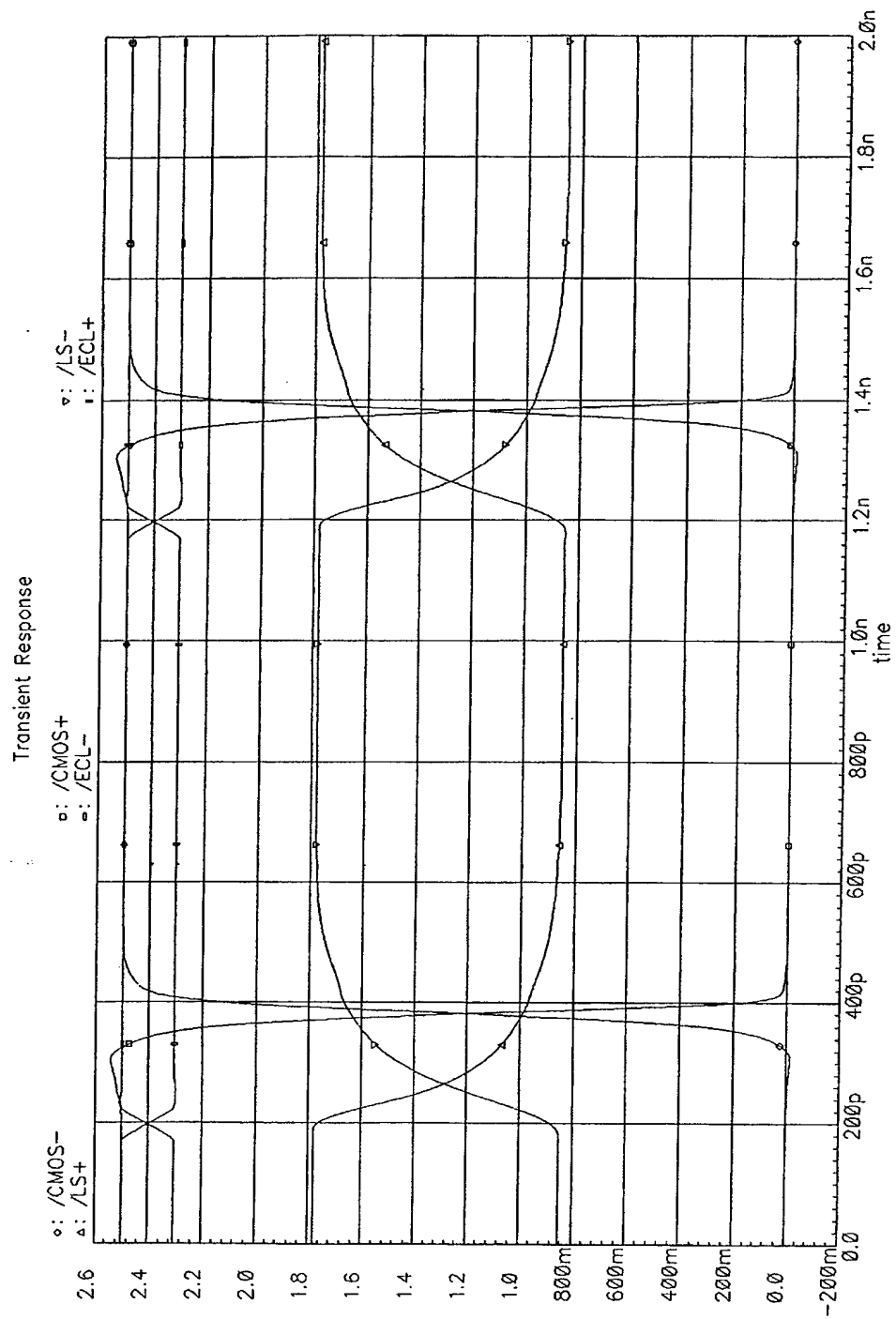
Figure 1



Figur 2



FIGUR 3



FIGUR 4